

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
25. März 2004 (25.03.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/025520 A3(51) Internationale Patentklassifikation⁷: G06F 17/50

(21) Internationales Aktenzeichen: PCT/EP2003/009179

(22) Internationales Anmeldedatum:
19. August 2003 (19.08.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 39 782.1 29. August 2002 (29.08.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).

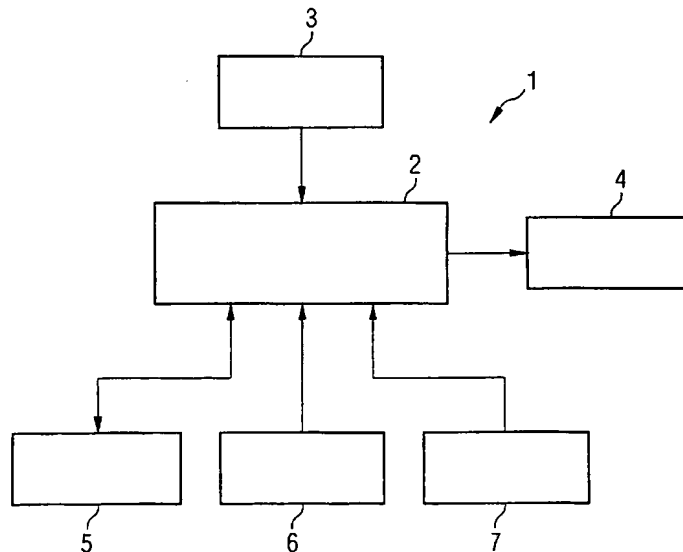
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HÖRETH, Stefan
[DE/DE]; Feldkirchener Str. 10, 85625 Glonn (DE).MÜLLER-BRAHMS, Martin [DE/DE]; Forst-Kas-
ten-Allee 125, 81475 München (DE). RUDLOF, Thomas
[DE/US]; 47 Pine Street, Belmont, MA 02478 (US).(74) Anwalt: BANZER, Hans-Jörg; Kraus & Weisert,
Thomas-Wimmer-Ring 15, 80539 München (DE).(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE,
GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR,
KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK,
MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT,
RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),
eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ,
TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR VERIFYING DIGITAL CIRCUITS

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUR VERIFIKATION VON DIGITALEN SCHALTUNGEN



(57) Abstract: The aim of the invention is to verify digital circuits that have, in particular, multiplying structures. To this end, an equivalency test between the digital circuit (6) and a reference description (5) of this digital circuit is performed in such a manner that, firstly, the realized implementation alternative of a number of predetermined different implementation alternatives (7) is determined for the multiplying structures implemented in the digital circuit (6) and is used in the reference description (5) instead of the respective multiplication function in order to subsequently carry out the equivalency test with the consequently modified reference description. This enables a considerable increase in the structural match between the reference description and the digital circuit to be verified thus resulting in an overall acceleration of the verification method.

[Fortsetzung auf der nächsten Seite]



DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(88) Veröffentlichungsdatum des internationalen

Recherchenberichts: 13. Mai 2004

(57) Zusammenfassung: Zur Verifikation von digitalen Schaltungen, welche insbesondere Multipliziererstrukturen aufweisen können, wird eine Äquivalenzprüfung zwischen der digitalen Schaltung (6) und einer Referenzbeschreibung (5) dieser digitalen Schaltung derart vorgeschlagen, dass zunächst für die in der digitalen Schaltung (6) implementierten Multipliziererstrukturen jeweils die realisierte Implementierungsalternative von mehreren vorgegebenen unterschiedlichen Implementierungsalternativen (7) ermittelt und in die Referenzbeschreibung (5) anstelle der jeweiligen Multiplikationsfunktion eingesetzt wird, um anschließend mit der somit geänderten Referenzbeschreibung die Äquivalenzprüfung durchzuführen. Auf diese Weise kann die strukturelle Übereinstimmung zwischen der Referenzbeschreibung und der zu verifizierenden digitalen Schaltung deutlich erhöht werden, was das Verifikationsverfahren insgesamt beschleunigt.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/09179

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>STOFFEL D ET AL: "Verification of integer multipliers on the arithmetic bit level" IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN. ICCAD 2001. IEEE/ACM DIGEST OF TECHNICAL PAPERS (CAT. NO.01CH37281), IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN. ICCAD 2001. IEEE/ACM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA, pages 183-189, XP002270149 2001, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-7247-6 page 183-184</p> <p style="text-align: center;">--- -/--</p>	

☒ Further documents are listed in the continuation of box C.☐ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

12 February 2004

Date of mailing of the international search report

02/03/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Alonso Nogueiro, L

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/09179

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>YING-TSAI CHANG ET AL: "Induction-based gate-level verification of multipliers" IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN. ICCAD 2001. IEEE/ACM DIGEST OF TECHNICAL PAPERS (CAT. NO.01CH37281), IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN. ICCAD 2001. IEEE/ACM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA, pages 190-193, XP002270150 2001, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-7247-6 page 190 -page 191</p> <p>-----</p>	
A	<p>JIUNN-CHERN CHEN ET AL: "Equivalence checking of integer multipliers" PROCEEDINGS OF THE ASP-DAC 2001. ASIA AND SOUTH PACIFIC DESIGN AUTOMATION CONFERENCE 2001 (CAT. NO.01EX455), PROCEEDINGS OF THE ASP-DAC 2001. ASIA AND SOUTH PACIFIC DESIGN AUTOMATION CONFERENCE 2001, YOKOHAMA, JAPAN, 30 JAN.-2 FEB. 2001, pages 169-174, XP002270151 2001, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-6633-6 page 169</p> <p>-----</p>	

A. KLASSIFIZIERUNG DES ANMELDEGEGENSTANDES
IPK 7 G06F17/50

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der In Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>STOFFEL D ET AL: "Verification of integer multipliers on the arithmetic bit level" IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN. ICCAD 2001. IEEE/ACM DIGEST OF TECHNICAL PAPERS (CAT. NO.01CH37281), IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN. ICCAD 2001. IEEE/ACM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA, Seiten 183-189, XP002270149 2001, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-7247-6 Seite 183-184</p> <p style="text-align: center;">--- -/-</p>	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☐ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

12. Februar 2004

Absendedatum des internationalen Recherchenberichts

02/03/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Alonso Nogueiro, L

C.(Fortsetzung) ALS WESENTLICH ZU BEZIEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>YING-TSAI CHANG ET AL: "Induction-based gate-level verification of multipliers" IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN. ICCAD 2001. IEEE/ACM DIGEST OF TECHNICAL PAPERS (CAT. NO.01CH37281), IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN. ICCAD 2001. IEEE/ACM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA, Seiten 190-193, XP002270150 2001, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-7247-6 Seite 190 -Seite 191</p> <p>-----</p>	
A	<p>JIUNN-CHERN CHEN ET AL: "Equivalence checking of integer multipliers" PROCEEDINGS OF THE ASP-DAC 2001. ASIA AND SOUTH PACIFIC DESIGN AUTOMATION CONFERENCE 2001 (CAT. NO.01EX455), PROCEEDINGS OF THE ASP-DAC 2001. ASIA AND SOUTH PACIFIC DESIGN AUTOMATION CONFERENCE 2001, YOKOHAMA, JAPAN, 30 JAN.-2 FEB. 2001, Seiten 169-174, XP002270151 2001, Piscataway, NJ, USA, IEEE, USA ISBN: 0-7803-6633-6 Seite 169</p> <p>-----</p>	